

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-261391

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H04H 7/00

(21)Application number : 11-058908

(71)Applicant : YAMAHA CORP

(22)Date of filing : 05.03.1999

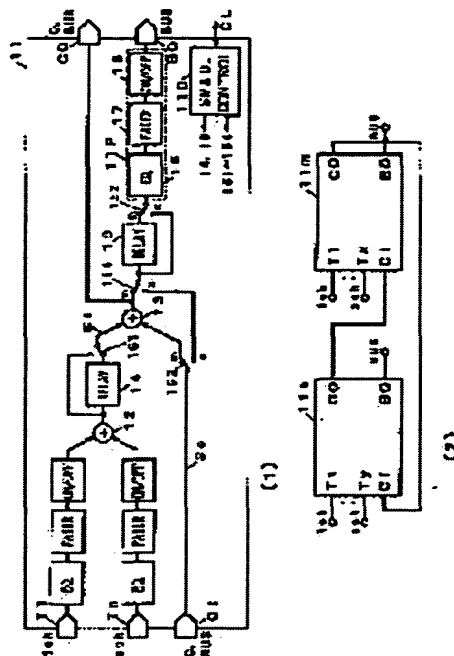
(72)Inventor : AOKI TAKAMITSU

## (54) BIDIRECTIONAL CASCADE CONNECTING MIXER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To take out a total output from a mixer at an optional position by making it possible to use a mixing signal by each mixer in cascade connection of a digital mixer.

**SOLUTION:** A bi-directional cascade connecting mixer 11 adds plural input signals 1 to n (x, y)ch together by an adder 12 and adds a cascade signal Sc outputted from another mixer thereto by an adder 13 to output as a cascade output (CO). Switches 153 and 154 switch a signal to give mixing output stages 16 to 18 to an adding signal Si or the cascade signal Sc depending on a cascade master 11m or a cascade slave 11s. Based on setting of a controller 11C, the switches 153 and 154 are switch-controlled and a delay circuit 19 adjusts a phase difference between the mixing output signals of each of the mixers 11m and 11s.



## LEGAL STATUS

[Date of request for examination]

20.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-261391

(P2000-261391A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.<sup>7</sup>

H 0 4 H 7/00

識別記号

F I

H 0 4 H 7/00

テーマコード\* (参考)

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平11-58908

(22) 出願日 平成11年3月5日 (1999.3.5)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 青木 孝光

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 100107995

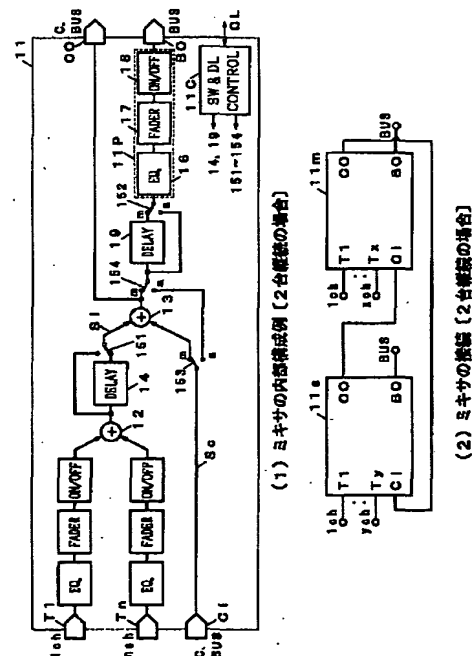
弁理士 岡部 恵行

(54) 【発明の名称】 双方向カスケード接続ミキサ

(57) 【要約】

【課題】 デジタルミキサのカスケード接続において、ミキシング信号を各ミキサで使用可能とし、トータル出力を任意位置のミキサから取り出すこと。

【解決手段】 この発明の双方向カスケード接続ミキサ1は、複数の入力信号1～n (x, y) chを加算器12で加算し、他のミキサから出力されるカスケード信号Scを加算器13で加算し、カスケード出力 (CO) として出力する。スイッチ153, 154は、カスケードマスタ11mかカスケードスレーブ11sかに応じて、ミキシング出力段16～18に与える信号を加算信号Si又はカスケード信号Scの何れかに切り替える。制御器11Cの設定に基づいて、スイッチ153, 154は切替え制御され、遅延回路19は各ミキサ11m, 11sのミキシング出力信号間の位相差を調整する。



## 【特許請求の範囲】

【請求項1】複数の入力信号を加算し入力加算信号を出力する入力加算手段と、

他のデジタルミキサから出力されるカスケード信号を入力するためのカスケード入力手段と、

前記入力加算信号とカスケード信号との加算信号又は前記入力信号をカスケード信号として出力するカスケード出力手段と、

前記入力加算信号又はカスケード信号の何れかを切替え出力するスイッチ手段と、

このスイッチ手段から出力される信号をミキシング出力信号として出力するミキシング出力手段とを具備することを特徴とする双方向カスケード接続ミキサ。

【請求項2】前記ミキシング出力手段は、ミキシング出力信号の位相を調整するための遅延手段を備えることを特徴とする請求項1に記載の双方向カスケード接続ミキサ。

【請求項3】さらに、前記スイッチ手段の切替え及び前記遅延手段の遅延量を設定するための制御手段を具備することを特徴とする請求項2に記載の双方向カスケード接続ミキサ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタル音響機器においてデジタルミキサが複数台カスケード接続される双方向カスケード接続ミキサに関する。

【0002】

【従来の技術】従来より、複数の入力信号を処理して混合する機能を有するデジタルミキサを、複数台、カスケード接続して使用する場合、各デジタルミキサは、自らの内部バスから入力される複数の入力信号を処理・混合するだけでなく、前段のデジタルミキサからのカスケード出力信号をミキシングして後段のデジタルミキサに与えるようにしている。

【0003】図1はこの種の従来技術を示す。例えば、デジタルミキサMA、MBを図1(1)に示すようにカスケード接続した場合、各ミキサMA、MBでの自らの入力信号の加算結果を“SA”、“SB”としたとき、最終的な総加算結果“SA+SB”は、カスケード・マスタであるデジタルミキサMAのみから得られ、カスケード・スレーブとなるデジタルミキサMBからは自身の加算結果“SB”しか得ることができない。

【0004】図1(2)は、図1(1)のカスケード接続による信号処理をブロック化して示したものである。デジタルミキサMAはx本の入力チャンネル1, 2, ..., xchを有し、デジタルミキサMBはy本の入力チャンネル1, 2, ..., ychを有している。デジタルミキサMBの加算結果“SB”をカスケード出力してデジタルミキサMAにカスケード入力するので、マスタのデジタルミキサMAからは、このカスケード入力

信号を自身の加算結果“SA”に加算することにより、加算結果“SA+SB”が得られる。なお、デジタルミキサMA自身の入力加算器A1とスレーブのデジタルミキサMBからのカスケード入力信号とのカスケード加算器ACとの間のディレイ要素DLは、両デジタルミキサMA、MB間の位相差を補正するために設けられたものである。

【0005】次に、更にスレーブのデジタルミキサMCを追加してデジタルミキサMA、MB、MCを図1(3)に示すようにカスケード接続した場合にも、最終的な加算結果“SA+SB+SC”を得ることができるのは、最終段のデジタルミキサMAのみであり、前段のデジタルミキサMB、MCからは、途中の加算結果“SB+SC”、“SC”(SCはミキサMC自身の入力信号の加算結果)しか得ることができない。

【0006】このように、従来技術においては、複数台のデジタルミキサをカスケード接続した場合、ミキシングされるトータルの加算結果は、最終段のマスタ・デジタルミキサMAにしか得ることができない。

【0007】

【発明が解決しようとする課題】この発明は、このような不都合に鑑み、複数台のデジタルミキサをカスケード接続した時にもミキシングされた信号を各デジタルミキサで使用することができ、トータル出力を任意の位置のデジタルミキサから取り出すことができるようにした双方向カスケード接続ミキサを提供することを目的とする。

【0008】

【課題を解決するための手段】この発明によると、複数の入力信号を加算し入力加算信号を出力する入力加算手段と、他のデジタルミキサから出力されるカスケード信号を入力するためのカスケード入力手段と、入力加算信号とカスケード信号との加算信号又は入力信号をカスケード信号として出力するカスケード出力手段と、入力加算信号又はカスケード信号の何れかを切替え出力するスイッチ手段と、このスイッチ手段から出力される信号をミキシング出力信号として出力するミキシング出力手段とを具備する双方向カスケード接続ミキサが提供される。

【0009】この発明の双方向カスケード接続ミキサにおいては、ミキシング出力手段にはミキシング出力信号の位相を調整するための遅延手段が備えられ、さらに、スイッチ手段の切替え及び遅延手段の遅延量を設定する制御手段をも具備する。

【0010】端的にいうと、出力するバスを切り替えるためのスイッチ手段により、デジタルミキサ自らが加算した結果を出力するか、或いは、他のデジタルミキサで得られた加算結果を出力するかが切り替えられ、また、遅延手段により、各デジタルミキサ出力の位相差を調整するためのディレイを与え、制御手段に備えられ

たメモリ装置により、各デジタルミキサにバスの切替え及びディレイ量が設定される。

【0011】〔作用〕この発明による双方向カスケード接続ミキサでは、複数の入力チャンネルからの信号を加算した入力加算信号と、他のデジタルミキサから出力されるカスケード信号とを加算してカスケード出力として出力する。制御手段により切替え制御されるスイッチ手段は、当該デジタルミキサがカスケードマスタカスレーブかに応じて、ミキシング出力段に与える信号を入力加算信号又はカスケード信号の何れかに切り替える。ミキシング出力段には、制御手段による設定に基づいて、各デジタルミキサの間のミキシング出力信号間の位相差を調整するスイッチ遅延回路が設けられる。

【0012】従って、この発明によると、カスケード接続されたバスの加算結果信号を他のデジタルミキサに送り、それを受ける各デジタルミキサは、送られた信号を使うように切り替える機能が与えられる。つまり、全ての加算結果を他のデジタルミキサに戻すことによって、各バス出力を同様に扱うことができるようになる。従って、複数台のデジタルミキサのカスケード接続を利用するに当り、信号処理上、どのデジタルミキサがカスケード・マスタかカスケード・スレーブかを考慮する必要なく、各デジタルミキサを取り扱うことができ、トータル出力を任意の位置のデジタルミキサから取り出すことができる。

【0013】

〔発明の実施の形態〕以下、図面を参照しつつ、この発明の好適な実施例について詳述する。なお、以下の実施例は、単なる一例であって、この発明の精神を逸脱しない範囲で種々の変更が可能である。

【0014】〔ミキサユニットの基本的な構成〕図2は、カスケード接続ミキサの母体となる基本的なユニット構成例を示している。このデジタルミキサ1は、複数(n)個の入力信号端子T1～Tn、カスケード入力端子CI、加算器2、3、遅延(ディレイ)回路4、ミキシング出力端子BO及びカスケード出力端子COを備えている。入力信号端子T1～Tnには内部バスからの複数(n)本の入力チャンネル1ch～nchの入力信号が与えられ、カスケード入力端子CIには前段デジタルミキサからカスケードバスを介してカスケード入力信号Scが与えられる。加算器2はチャンネル1ch～nchの入力信号を加算し、加算器3はこの加算結果信号Siとカスケード入力端子CIからのカスケード入力信号Scとの加算を行う。

【0015】加算器2、3間に設けられた遅延回路4は、前述のように、デジタルミキサ1自身のチャンネル1ch～nchの入力信号と前段デジタルミキサからのカスケード入力信号との位相差を補正する機能を有し、カスケード入力端子CIに接続されている前段デジタルミキサとこのデジタルミキサ1との間の固有の

信号遅延量に基づいて遅延設定される。この遅延回路4は、遅延が「0」の場合、スイッチ要素5によりバイパスされ遅延機能がオフされる。

【0016】加算器3の加算結果は、イコライザ6、フェーダ7及びオン/オフ要素8等の処理部での処理を受けた後、ミキシング出力端子BOを介して自身の内部バスBUSに出力される。加算器3の加算結果は、また、次段デジタルミキサに信号を渡すため、カスケード出力端子COにも出力される。

【0017】〔2台の場合〕さて、図3には、この発明の一実施例による双方向カスケード接続ミキサのデジタルミキサの内部構成及び接続関係が示されており、図3(1)は、双方向カスケード接続ミキサを構成する各デジタルミキサの第1のユニット構成例であり、デジタルミキサを2台カスケード接続することについてのみ考慮した場合のデジタルミキサの内部構造を表わしている。

【0018】このデジタルミキサ11は、図2の基本ユニット例と同様に、複数(n)個の入力信号端子T1～Tn、カスケード入力端子CI、入力信号加算器12、カスケード加算器13、第1の遅延回路14、第1のスイッチ要素151、イコライザ16・フェーダ17・オン/オフ要素18等からなるミキシング出力信号処理部11P、ミキシング出力端子BO及びカスケード出力端子COを備えると共に、さらに、図2の例に改良が加えられ、第2～第4のスイッチ要素152～154及び第2の遅延回路19を備える。

【0019】第2の遅延回路19は、カスケード接続される各デジタルミキサの出力の位相差を調整するためのディレイを与えるものであり、各スイッチ要素151～154及び遅延回路14、19は、CPUで構成されるスイッチ及び遅延制御部11Cにより制御される。スイッチ及び遅延制御部11Cは、制御ラインCLを介して中央装置からの制御信号を受け、制御部11Cに備えられたメモリ装置により、各デジタルミキサにバスの切替え及びディレイ量を設定する。

【0020】このように構成される2台のデジタルミキサ11は、図3(2)のようにカスケード接続し、各スイッチ要素151～154を適宜に切り替えて設定することにより、一方のデジタルミキサ11m(入力チャンネル数n=x)をカスケードマスタとし、他方のデジタルミキサ11s(入力チャンネル数n=y)をカスケードスレーブとして機能させることができる。なお、一般的に、入力チャンネルからの信号の加算結果信号Siとカスケード入力端子CIからのカスケード入力信号Scとの加算結果を自身のバス(BUS)上に出力するデジタルミキサを「カスケードマスタ」といい、入力チャンネルからの信号の加算結果信号Siをカスケード出力バス(Cascade BUS)上に出力するデジタルミキサを「カスケードスレーブ」という。

【0021】より詳しく説明すると、図3(1)のデジタルミキサ11を図3(2)のカスケードマスタミキサ11mとして使用する場合には、各スイッチ要素151~154は図4の下部に示されるデジタルミキサ11m内のように切り替えられる。すなわち、第3のスイッチ要素153は、加算器13側(m)に接続され、デジタルミキサ11m自身の信号Siとカスケード入力信号Scを加算する状態に設定される。また、第4のスイッチ154も、加算器13側(m)に接続され、上述のように加算された結果Si+Scを選択する状態に設定される。このとき、第2のスイッチ要素152は第2の遅延回路19側(m)に接続され、出力信号処理部11Pから出力されるミキシング信号と他のデジタルミキサつまりカスケードスレーブミキサ11sのミキシング信号との位相補正のために、遅延回路19が使用される。

【0022】一方、図3(1)のデジタルミキサ11を図3(2)のカスケードスレーブ11sとして使用する場合には、各スイッチ要素151~154は図4の上部に示されるデジタルミキサ11s内のように切り替えられる。すなわち、第3及び第4のスイッチ要素153、154がデジタルミキサ11mとは逆側(s)に接続され、カスケード入力信号Scは、加算器13を介することなくミキシング出力端子BO側にのみ送られるように設定される。また、第2のスイッチ要素152も、基本的には、共通端子側(s)に接続され、第2の遅延回路19がオフされる。

【0023】このように、図3(1)の構成では、カスケード入力Scを加算する基本的な機能に加えて、カスケードから入力された信号ScをバスBUSの処理に信号を送るための第3及び第4の切替えスイッチ要素153、154と、加算結果Si+Scを他のミキサに戻すときに発生する位相差を補正するための遅延回路19が追加される。なお、図3(1)の構成2台カスケードに限られるが、後述する図5(1)の構成では2台以上のカスケードが可能となる。

【0024】図3(2)及び図4に示すように、2台のデジタルミキサ11m、11sをカスケード接続した場合は、上述の如く、カスケードマスタミキサ11mの入力チャンネルlch~xchの信号を加算し、加算結果Si+Scをカスケード出力端子COから出力しカスケードスレーブミキサ11sのカスケード入力端子CIから入力する。ここで、デジタルミキサ11mでは、自身の入力チャンネルlch~xchの信号の加算結果Siにデジタルミキサ11sからのカスケード信号Scに位相を合わせるために、加算結果信号Siは、遅延回路14で調節された上でこのカスケード入力信号Scと加算される。これによって、両デジタルミキサ11m、11sの加算結果Si+Scが得られる。

【0025】この加算結果信号Si+Scは、ディジタ

ルミキサ11mのバス(BUS)出力で使用されるとともに、このカスケードマスタミキサ11mのカスケード出力端子COからデジタルミキサ11sのカスケード入力端子CIに送出され、第3及び第4のスイッチ要素153、154を介してこのカスケードスレーブミキサ11sのバスBUS出力でも加算結果を使用することができるようになる。

【0026】また、デジタルミキサ11m、11sのバス(BUS)出力の位相差を補正するためには、デジタルミキサ11mの遅延回路19が使用される。さらに、メモリ等を用いて、図3(1)の構成を備える2台のデジタルミキサ11に対して図4のデジタルミキサ11m、11sの内のどちらの動作を行えばよいかを設定することにより、各ミキサでのスイッチ要素153、154が連動して切り替わるようにすることもできる。

【0027】〔3台以上の場合〕次に、図5は、この発明の他の実施例による双方向カスケード接続ミキサのデジタルミキサの内部構成及び接続関係を示し、図5(1)は、双方向カスケード接続ミキサを構成する各デジタルミキサの第2のユニット構成例であり、3台以上のデジタルミキサのカスケード接続に対応させる場合のデジタルミキサの内部構造を表わしている。

【0028】このデジタルミキサ21は、図3のユニットと同様に、複数(x)個の入力信号端子T1~Tx、カスケード入力端子CI、入力信号加算器22、カスケード加算器23、第1及び第2の遅延回路24、29、第1及び第2のスイッチ要素251、252、イコライザ26・フェーダ27・オン/オフ要素28等からなるミキシング出力信号処理部21P、ミキシング出力端子BO及びカスケード出力端子COを備えるが、さらに、カスケード出力端子COに得られる加算結果を他のデジタルミキサにも渡すために、カスケード返信端子CR及びカスケード送信端子CSを備え、これに対応して第5のスイッチ要素255を備える。また、各スイッチ要素251、252、255及び遅延回路24、29は、図3(1)のデジタルミキサ11と同様のスイッチ及び遅延制御部21Cにより制御される。

【0029】図5(2)は、このように構成される3台のデジタルミキサ21をカスケード接続する場合の接続状態の例を示しており、スイッチ要素252、255を適宜に切り替えて設定することにより、一つのデジタルミキサ21m(入力チャンネル数n=x)をカスケードマスタとし、残りの2台のデジタルミキサ21s1(入力チャンネル数n=y)、21s2(入力チャンネル数n=z)をカスケードスレーブとして機能させることができる。

【0030】より詳しく説明すると、図5(1)のデジタルミキサ21を図5(2)のカスケードマスタミキサ21mとして使用する場合には、各スイッチ要素25

1, 252, 255は、図6の最下部に示されるデジタルミキサ21m内のように切り替えられる。すなわち、第3のスイッチ要素255は、加算器23側(m)に接続され、デジタルミキサ21m自身の信号Siとカスケード入力信号Scを加算した結果Si+Scを選択する状態に設定される。このとき、第2のスイッチ要素252は第2の遅延回路29側(m)に接続され、出力信号処理部21Pから出力されるミキシング信号と他のカスケードスレーブミキサ21s1, 21s2のミキシング出力信号との位相補正のために第2の遅延回路29が使用される。

【0031】一方、図5(1)のデジタルミキサ21を図5(2)のカスケードスレーブ21s1, 21s2として使用する場合には、各スイッチ要素251, 252, 255は図6の中間部及び最上部に示されるデジタルミキサ21s1, 21s2内のように切り替えられる。すなわち、カスケードマスタミキサ21mのカスケード出力端子COからの加算結果Si+Scを他のデジタルミキサにも渡すために設けられたカスケード返信端子CR及びカスケード送信端子CSが使用される。そして、カスケード返信端子CRから入力された信号がカスケード送信端子CSから出力され、カスケードスレーブになっているデジタルミキサ21s1, 21s2では、カスケード返信端子CRからの信号をミキシング出力端子BOに送るように設定される。

【0032】各カスケードスレーブ21s1, 21s2の第5のスイッチ要素255がカスケード返信端子CR側(s)に接続され、このカスケードスレーブ返信端子CRから入力される加算結果Si+Scを表わす信号が夫々のミキシング出力端子BOのみに送られるように設定する。また、第1カスケードスレーブ21s1では、遅延回路29により位相補正を行うことができる。

【0033】なお、図5(2)及び図6の接続例では、第1カスケードスレーブ21s1においてカスケード返信端子CRに入力されたカスケードマスタミキサ21mからの加算結果信号が、カスケード送信端子CSから第2カスケードスレーブ21s2のカスケード返信端子CRに渡されるように設定される。第2カスケードスレーブ21s2においては、上述したように、スケード返信端子CRから第5のスイッチ要素255を介して加算結果信号がミキシング出力端子BOのみに送られるように設定されるが、第2のスイッチ要素252が第5のスイッチ要素255の共通端子側に接続され、遅延回路29はオフとなる。

【0034】3台以上のデジタルミキサをカスケード接続する場合には、図3及び図4のようなカスケード入力/出力端子CI/CO(Cascade In/Out)を設けるだけでは実現不可能なので、この発明の他の実施例では、図5及び図6に示すように、カスケード返信/送信端子CR/CS(Cascade Retu

rn/Send)という端子を設けている。そして、これらカスケード返信端子CR, CSには、カスケードマスタミキサ21mで得られる最終的な加算結果をカスケード入出力端子CI, COの接続と同じように接続して、各カスケードスレーブミキサ21s1, 21s2でこの加算結果を利用することができるようにしている。

【0035】ただし、信号の流れは、カスケード入出力端子CI, COではカスケードスレーブミキサ21s2, 21s1からカスケードマスタミキサ21mに向かうようになっているが、カスケード返信端子CR, CSについては、マスタミキサ21mからスレーブミキサ21s1, 21s2に向かうように構成される。つまり、スレーブミキサ21s1, 21s2によつてマスタミキサ21mからの返信信号を選択するようになる。

【0036】図3及び図4の構成例で設けられていた第3スイッチ要素153は、カスケード入力端子CIをカスケードマスタミキサ11mからの返信信号を受け取るためのカスケード入力端子CIの機能と併合され、図5及び図6に示すように、カスケード返信端子CRとして共通化されており、この返信端子CRは機能切替えスイッチとしての意味を有する。なお、図5及び図6のように構成されたデジタルミキサでも2台のカスケード接続を実現することができるが、カスケード返信端子CR, CSを付設することによるコストアップが発生するため、2台でのカスケードに機能を限定してしまった場合には、図3及び図4のような構成の方が良い。

【0037】また、カスケード入出力端子CI, COやカスケード返信端子CR, CSは、独立して存在する必要はなく、1つのコネクタにI/O機能を持たせることによりケーブル1本で信号のやり取りが可能になる。

【0038】〔別の実施例〕図7及び図8は、この発明の更に別の実施例によるカスケード接続デジタルミキサの全体の構成例を極く概略的に表わしたものである。図7は、カスケードマスタミキサ31mからのトータル出力ラインTLに出力されるトータル出力をk台のカスケードスレーブミキサ31s1~31skに流す他の例を示している。各デジタルミキサは、カスケード加算手段31Aの外に、第1及び第2のスイッチ要素32, 33を備える。なお、第2のスイッチ要素33の出力側に設けられる遅延回路及びミキシング信号処理部、並びに、スイッチ及び遅延制御部については、図示を省略している。

【0039】各スイッチ要素32, 33の開閉状態は、カスケードマスタ又はカスケードスレーブとして利用されるのか等に応じて図示のように制御される。つまり、カスケードマスタミキサ31mの場合、第1のスイッチ要素32は必ずオン状態にされ、第2のスイッチ要素33は加算器31A側にオン状態とされ、カスケードマスタミキサ31mのミキシング出力OUTmにトータル出力が得られる。

【0040】一方、カスケードスレーブミキサ31s1～31skの場合、第1のスイッチ要素32は必ずオフ状態にされ、第2のスイッチ要素33は、必要とされるミキシング出力に応じて任意の開閉状態とされる。従って、カスケードスレーブ31s1～31skの各ミキシング出力OUT1～OUTkには、第2のスイッチ要素33の設定状態に応じた出力を得ることができる。

【0041】図8は、図5及び図6と同様に2つの端子を追加してミキシング出力の自由度を上げた更に別の例を示している。各デジタルミキサ41m、41s1～41skは、カスケード加算手段41Aの外に、第1及び第2のスイッチ要素42、43を備える。なお、図8も、第2のスイッチ要素43の出力側に設けられる遅延回路及びミキシング信号処理部、並びに、スイッチ及び遅延制御部については、図示を省略しており、各スイッチ要素42、43の開閉状態は、図7のものと同様である。

【0042】図9には、この発明で使用されるスイッチ及び遅延制御部の接続配置例が示されている。各実施例のデジタルミキサ内にはスイッチ及び遅延制御部が設けられるが、この例のように、専用の制御ラインCLを設けて中央装置から自動制御するようしてもよい。また、制御ラインCLは各デジタルミキサ間接続バスの中に入れておいてもよい。さらに、スイッチ制御については、カスケード出力COが無接続のデジタルミキサであれば、それをカスケードマスタと見做してデジタルミキサ内の各スイッチ要素を制御し、カスケード出力COにバスが接続されているデジタルミキサであれば、それをカスケードスレーブとしてミキサ内の各スイッチ要素を制御するようにしてもよい。

【0043】〔発明の効果〕以上説明したように、この発明の双方向カスケード接続ミキサでは、複数の入力チャンネルからの入力信号を加算した入力加算信号と、他のデジタルミキサから出力されるカスケード信号とを加算してカスケード出力として出力し、制御手段により切替え制御されるスイッチ手段によって、当該デジタルミキサがカスケードマスタかスレーブかに応じて、ミキシング出力段に与える信号を入力加算信号又はカスケード信号の何れかに切り替え、ミキシング出力段には、制御手段による設定に基づいて、各デジタルミキサの間のミキシング出力信号間の位相差を調整するスイッチ遅延回路が設けられる。

【0044】従って、この発明によると、カスケード接続されたバスの加算結果信号を他のデジタルミキサに

送り、それを受ける各デジタルミキサは、送られた信号を使うように切り替える機能が与えられ、全加算結果を他のデジタルミキサに戻すことによって、各バス出力を同様に扱うことができるようになる。従って、複数台のデジタルミキサのカスケード接続を利用するに当たり、信号処理上、どのデジタルミキサがカスケード・マスタかカスケード・スレーブかを考慮する必要なく、各デジタルミキサを取り扱うことができ、トータル出力を任意の位置のデジタルミキサから取り出すことができる。

【図面の簡単な説明】

【図1】図1は、従来技術によるカスケード接続ミキサ例を示す図である。

【図2】図2は、カスケード接続ミキサの母体となる基本的なユニット構成例を示す図である。

【図3】図3は、この発明の一実施例による双方向カスケード接続ミキサのデジタルミキサの内部構成及び接続関係を示す図である。

【図4】図4は、この発明の一実施例による双方向カスケード接続ミキサの具体的接続図である。

【図5】図5は、この発明の他の実施例による双方向カスケード接続ミキサのデジタルミキサの内部構成及び接続関係を示す図である。

【図6】図6は、この発明の他の実施例による双方向カスケード接続ミキサの具体的接続図である。

【図7】図7は、この発明の別の実施例による双方向カスケード接続ミキサの概略的構成を示す図である。

【図8】図8は、この発明の更に別の実施例による双方向カスケード接続ミキサの概略的構成を示す図である。

【図9】図9は、この発明で使用されるスイッチ及び遅延制御部の接続配置例を示す図である。

【符号の説明】

11、21、31、41 デジタルミキサ、

11C、21C スイッチ及び遅延制御部、

11P、21P ミキシング出力信号処理部、

12、22 入力信号加算器、

13、23 カスケード加算器、

153、154；255；32、33；42、43 スイッチ要素、

19、29 遅延（ディレイ）回路、

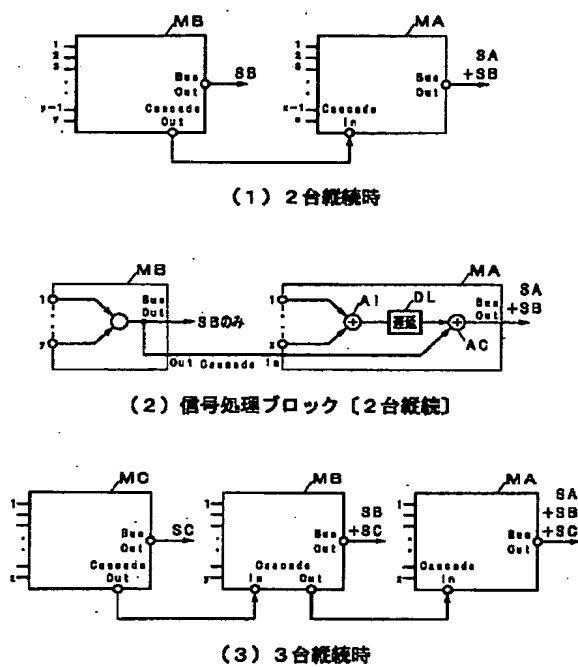
T1～Tn、Tx、Ty、Tz 入力信号端子、

BO ミキシング出力端子、

CI カスケード入力端子、

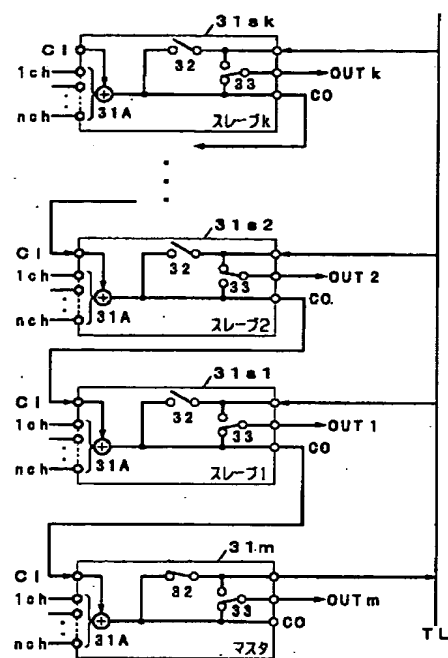
CO カスケード出力端子。

【図1】



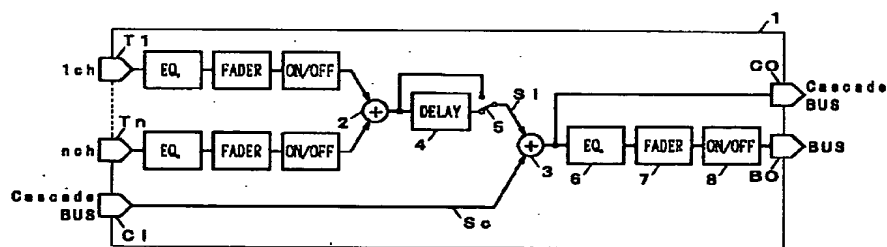
従来技術

【図7】



その他の例 (1)

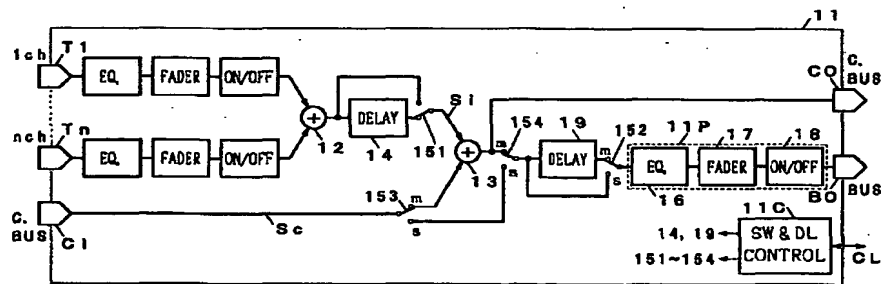
【図2】



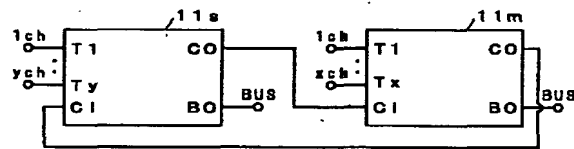
ミキサの基本構造



【図3】

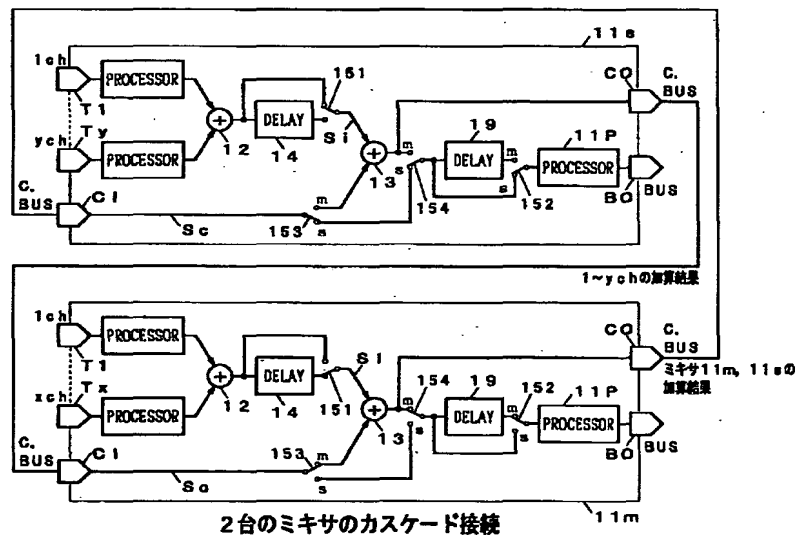


(1) ミキサの内部構成例〔2台接続の場合〕

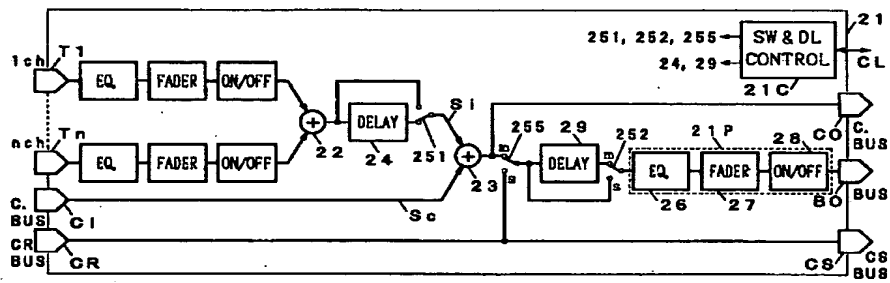


(2) ミキサの接続〔2台接続の場合〕

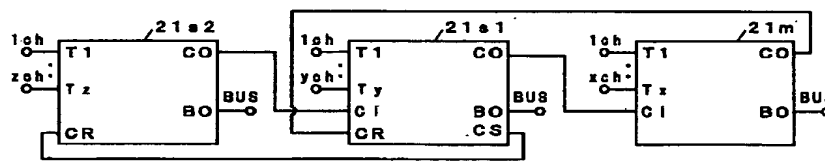
【図4】



【図5】



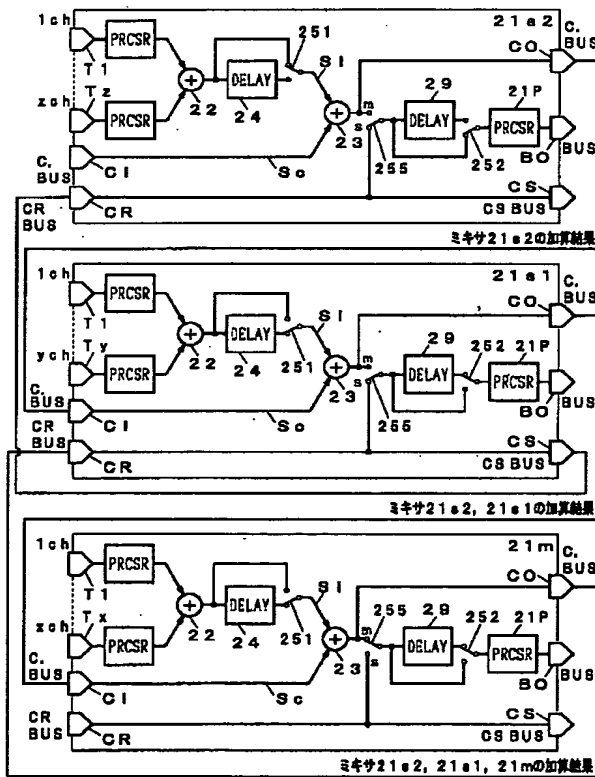
(1) ミキサの内部構成例【3台以上連続の場合】



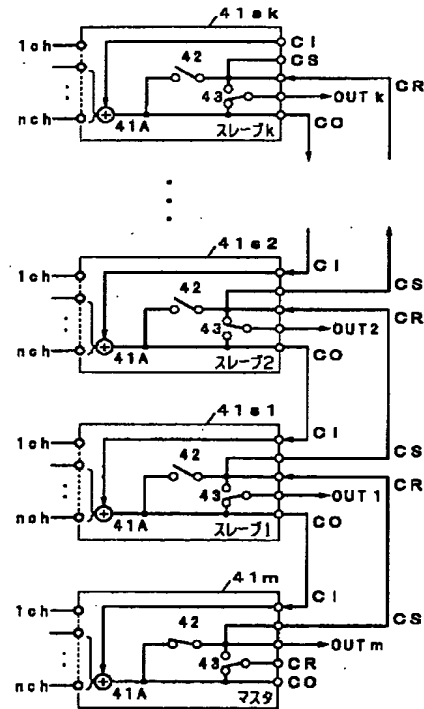
(2) ミキサの接続【3台連続の場合】

【図6】

【図8】

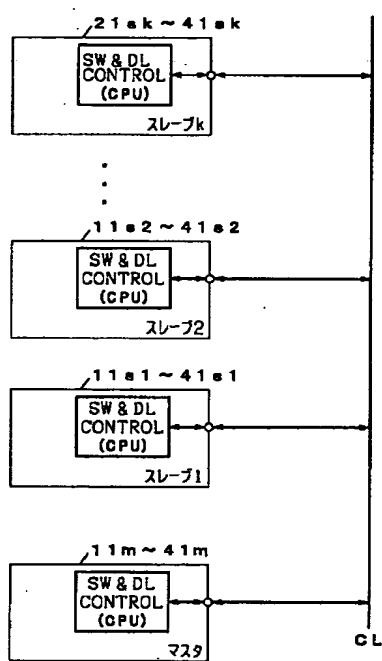


3台のミキサのカスケード接続



その他の例 (2)

【図9】



スイッチ制御部の配置